

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-333921  
(43)Date of publication of application : 05.12.2000

(51)Int.CI.

A61B 5/0408  
A61B 5/0478  
A61B 5/0492  
A61B 5/0476  
G01N 27/30  
G01R 1/073  
H01L 21/66

(21)Application number : 11-152654

(71)Applicant : ISHIDA MAKOTO  
ASAHI CHEM IND CO LTD

(22)Date of filing : 31.05.1999

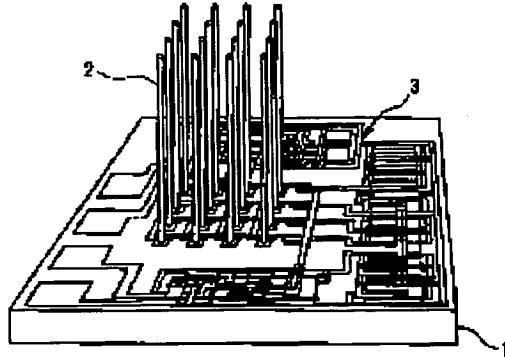
(72)Inventor : ISHIDA MAKOTO  
MATSUI MASAHIRO

## (54) PROBE AND SENSOR THEREWITH

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a sensor in which probes and a signal processing circuit are integrated together, with the probes formed by an easier method and with the diameter of each probe and the interval between the adjacent probes being both smaller than in sensors of the prior art.

**SOLUTION:** This sensor has probes 2 formed of a multiplicity of acicular protrusions and a signal processing circuit 3 for processing electric signals input from the probes 2, the probes 2 and the circuit 3 being formed on a semiconductor substrate 1. The sensor has an NMOSFET for each probe 2 as the switch array of the signal processing circuit 3. Each probe 2 is a protrusion formed by crystal growth using the drain (high-density diffusion layer) of the NMOSFET as a base.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-333921

(P2000-333921A)

(43)公開日 平成12年12月5日 (2000.12.5)

(51)Int.Cl.<sup>7</sup>

A 61 B 5/0408  
5/0478  
5/0492  
5/0476  
G 01 N 27/30

識別記号

F I

テ-マコ-ト(参考)

A 61 B 5/04  
G 01 N 27/30  
G 01 R 1/073  
H 01 L 21/66

3 0 0 J 2 G 0 1 1  
A 4 C 0 2 7  
F 4 M 1 0 6  
F  
B

審査請求 未請求 請求項の数4 OL (全6頁) 最終頁に統く

(21)出願番号

特願平11-152654

(71)出願人 595103094

石田 誠

愛知県豊橋市野依台1丁目13番地3

(22)出願日 平成11年5月31日 (1999.5.31)

(71)出願人 000000033

旭化成工業株式会社

大阪府大阪市北区堂島浜1丁目2番6号

(72)発明者 石田 誠

愛知県豊橋市野依台1-13-3

(72)発明者 松井 正宏

静岡県富士市駒島2番地の1 旭化成工業  
株式会社内

(74)代理人 100066980

弁理士 森 哲也 (外2名)

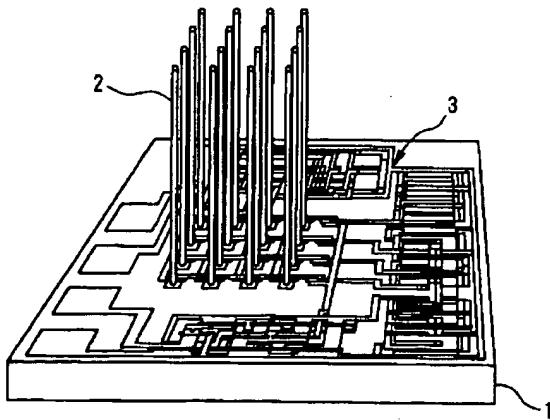
最終頁に統く

(54)【発明の名称】 プローブおよびこれを備えたセンサ

(57)【要約】

【課題】プローブと信号処理回路が一体になっているセンサであって、従来のものよりプローブの形成方法が簡単で、且つプローブの直径および隣り合うプローブの間隔がより小さいものを提供する。

【解決手段】本発明のセンサは、半導体基板1上に、多数の針状突起からなるプローブ2と、各プローブ2から入力された電気信号を処理する信号処理回路3とが形成されたものである。このセンサは、信号処理回路3のスイッチアレイとして、NMOSFETを各プローブ2毎に備えている。各プローブ2は、NMOSFETのドレンイン(高濃度拡散層)を下地として結晶成長させた突起である。



【特許請求の範囲】

【請求項1】 半導体基板の拡散層を下地として結晶成長させた突起からなることを特徴とするプローブ。

【請求項2】 検体に接触させて接触位置の電気的特性を検出するプローブと、このプローブから入力された電気信号を処理する信号処理回路とを、半導体基板上に備えたセンサ。

【請求項3】 検体に接触させて接触位置の電気的特性を検出するプローブと、このプローブから入力された電気信号を処理する信号処理回路とを、半導体基板上に備えたセンサにおいて、前記プローブは、半導体拡散層を下地として結晶成長させた突起からなることを特徴とするセンサ。

【請求項4】 前記信号処理回路は各プローブ毎にMOSFETを備え、各MOSFETのソースまたはドレインに前記突起が形成されていることを特徴とする請求項3記載のセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、脳の神経電位測定、半導体集積回路の動作テスト、あるいは生体中のイオン濃度測定等に使用するセンサおよびそのプローブに関する。

【0002】

【従来の技術】従来より、脳の研究において神経電位を測定する場合には、センサのプローブを検体に接触させ、その位置の電位等を測定することが行われている。この測定には、通常、太さ数 $\mu\text{m}$ ～数百 $\mu\text{m}$ のプローブが10本以上並べて配置された剣山状のプローブアレイが使用されている。また、このプローブアレイとセンサの信号処理装置は別体であり、プローブアレイの各プローブからの配線を信号処理装置の対応する端子に接続して使用される。そして、この信号処理装置に各プローブからの信号が入力されて、增幅、演算、AD変換、スイッチング等の処理が行われるようになっている。

【0003】このように、従来の脳神経電位測定用のセンサは、プローブアレイと信号処理装置（ICチップ）が別々になっているため、多数のプローブからの配線をICチップの各端子にハンダ付け等によって接続する必要があり、膨大な手間がかかる上に、配線ミス等の危険性もある。また、このような接続作業が必要であるために、プローブ同士の間隔をあまり小さくすることができず、検出点の数や検出分解能には限界がある。

【0004】一方、半導体集積回路の動作テスト用のセンサに関しては、特開平5-198636号公報に、基板から成長させた針状結晶の表面に金属膜を形成することによりプローブを形成し、この金属膜と前記基板に形成された信号伝送用の配線パターンを接続することが記載されている。また、具体的には、直径が50 $\mu\text{m}$ 、相間隔が100 $\mu\text{m}$ 、高さが1～2mmのプローブを作

ることができたと記載されている。

【0005】

【発明が解決しようとする課題】しかしながら、上記公報に記載のセンサには、プローブの形成方法等に改善の余地がある。また、プローブの直径および隣り合うプローブの間隔については、上記具体例よりもさらに小さくしたい要求がある。本発明は、プローブと信号処理回路が一体になっているセンサであって、プローブの形成方法が上記公報の方法よりも簡単で、プローブの直径および隣り合うプローブの間隔がより小さいものを提供することを課題とする。

【0006】

【課題を解決するための手段】上記課題を解決するため、本発明は、半導体基板の拡散層を下地として結晶成長させた突起からなることを特徴とするプローブを提供する。この突起は、結晶成長の下地が拡散層であるため、下地が拡散層でない場合よりも高い導電性を有する。これにより、この突起は、表面に金属膜を形成することなく、そのままでプローブとして使用できる。

【0007】本発明は、また、検体に接触させて接触位置の電気的特性を検出するプローブと、このプローブから入力された電気信号を処理する信号処理回路とを、半導体基板上に備えたセンサを提供する。本発明は、また、検体に接触させて接触位置の電気的特性を検出するプローブと、このプローブから入力された電気信号を処理する信号処理回路とを、半導体基板上に備えたセンサにおいて、前記プローブは、半導体拡散層を下地として結晶成長させた突起からなることを特徴とするセンサを提供するものである。

【0008】このセンサの実施態様としては、前記信号処理回路は各プローブ毎にMOSFETを備え、各MOSFETのソースまたはドレインに前記突起が形成されているものが挙げられる。本発明のプローブは、例えば、公知の方法であるVLS (Vapor-Liquid-Solid) 成長法を利用して、半導体基板の高濃度拡散層を下地としてシリコンを選択的にエピタキシャル成長させることにより形成することができる。

【0009】

【発明の実施の形態】以下、本発明の実施形態について説明する。図1は、本発明の一実施形態に相当するセンサを示す斜視図である。この図に示すように、このセンサは、半導体基板1上に、多数の針状突起からなるプローブ2と、各プローブ2から入力された電気信号を処理する信号処理回路3が形成されたものである。

【0010】図2は、このセンサのプローブ2側の部分を示す平面図である。この図に示すように、このセンサは、信号処理回路のスイッチアレイとして、ゲート4、ソース5、ドレイン6からなるNMOSFETを各プローブ2毎に備え、各NMOSFETのドレイン6にプローブ2が形成されている。図3は図2の部分断面図に相

当し、この図を用いて、このセンサの作製手順の一例を説明する。先ず、図3 (a) に示すように、p型シリコン基板1上に、通常のMOSプロセスによって、多結晶シリコンからなるゲート4と、n+（高濃度拡散層）からなるソース5と、n+（高濃度拡散層）からなるドレイン6とで構成されるNMOSFETを形成する。符号7はSiO<sub>2</sub>膜であり、符号8はタングステンからなる配線層である。なお、このNMOSFETの形成と同時に、信号処理回路3のこれ以外の部分の形成も行う。

【0011】次に、図3 (b) に示すように、この信号処理回路の上に（すなわち、SiO<sub>2</sub>膜7および配線層8の上に）、SiO<sub>2</sub>から成る保護層9を形成する。保護層9の形成方法としては、SOG（スピンドルガス）法やTEOS（テトラエトキシシラン）CVD（化学的気相成長法）法等を採用することができる。次に、保護層9の上にレジスト膜10を形成してフォトリソ・エッチャリング工程を行うことにより、図3 (c) に示すように、SiO<sub>2</sub>膜7、9のドレイン6中心位置に、シリコン基板1まで達する開口部11を形成する。開口部11の大きさは、形成するプローブ2の太さよりも大きくする必要があるが、あまり大きすぎてもプローブ2の位置精度が悪くなるため、プローブ2の断面積の1.05倍～100倍、好ましくは1.1倍～50倍とする。

【0012】次に、図3 (d) に示すように、レジスト膜10の上にAu薄膜12を形成する。これにより、開口部11の形成によって生じたドレイン6の開口面の上にもAu薄膜12aが形成される。ここで形成するAu薄膜12の厚さは、成膜温度、成長させるプローブ2の太さによって変える必要があり、例えば、Au薄膜12の成膜温度が700°Cで、直径数μmのプローブ2を形成する場合には、Au薄膜12の厚さを10～100nmとすることが適当である。

【0013】次に、リフトオフ法により、レジスト膜10上に形成されたAu薄膜をレジスト膜10とともにすべて除去する。これにより、図3 (e) に示すように、ドレイン6の開口面に形成されたAu薄膜12aのみが残る。次に、ドレイン6のAu薄膜12aの部分に、VLS成長法によりシリコンをエピタキシャル成長させる。すなわち、図3 (e) の状態のシリコン基板1を、SiH<sub>4</sub>やSiCl<sub>4</sub>等のシリコンを含むガスの雰囲気中で、Au-Si合金の共晶点よりも高い温度に加熱する。

【0014】これにより、先ず、Au薄膜12aの中心部に、Auとドレイン6をなすn+シリコンとの混合溶液からなる液滴が生じる。次に、ガスの熱分解で生じたシリコン原子がこの液滴に取り込まれて、液滴中のシリコン濃度が過剰となる。この過剰となったシリコンが、ドレイン6の表面からエピタキシャル成長する。その結果、単結晶シリコンからなる突起20が得られる。突起20の先端には、前記液滴の固化により、Au-Si合

金からなる半球状の合金部13が形成される。図3 (f) はこの状態を示す。

【0015】この突起20は、ドレイン6をなすn+シリコン（高濃度拡散層）から成長しているため、シリコン基板1から直接成長させたものよりも導電性が高い。したがって、この突起はそのままプローブ2として使用できる。また、この突起20の先端にはAu-Si合金からなる合金部13があるため、このプローブ2は検体に接触したときに良好なオーミック接合が得られ易い。

【0016】なお、上記実施形態では、プローブ2とする突起20をNMOSFETのドレイン6から結晶成長させているが、ソース5から結晶成長させてもよい。また、プローブ2とする突起を結晶成長させる下地は、センサの信号処理回路を構成する素子の高濃度拡散層であればよく、NMOSFETのソースまたはドレイン以外に、PMOSFETやCMOSFETのソースまたはドレイン、Bi-CMOSやバイポーラトランジスタのエミッタまたはコレクタ、ダイオードのn+層またはp+層等が挙げられる。

【0017】図4は、n-p-nバイポーラトランジスタのコレクタをなすn+層60から、プローブ2となる突起20を結晶成長させた例を示す。図3と同様に、符号1はp型シリコン基板、符号8は配線層、符号13は合金部である。また、符号15はn+埋め込み層であり、符号16はエピタキシャルn層であり、符号17はp層であり、符号18はエミッタをなすn+層である。

【0018】図5は、ダイオードのp+層61からプローブ2となる突起20を結晶成長させた例を示す。図3と同様に、符号1はp型シリコン基板、符号8は配線層、符号13は合金部である。符号21はn層であり、符号22はn+層である。また、上記実施形態では、半導体基板としてp型シリコン基板1を用いているが、シリコンの伝導型はn型でもよい。また、半導体基板としては、バルクシリコン基板以外に、Si-MOX（セパレーションバイイオンインプランテッドオキサイド）基板、貼り合わせSOI（シリコンオンインシュレータ）基板、バルクシリコン基板上にr-Al<sub>2</sub>O<sub>3</sub>層を介してシリコン層が形成された構造の基板、或いはSOS（シリコンオンサファイア）等のSOI基板等を使用することができる。

【0019】半導体基板としてSOI基板を使用すると、基板とドレイン或いはソースとの間にあるp-n接合部の逆方向電流によるリーク電流を低減できる等、信号処理回路の特性が高くなるため好ましい。また、シリコン基板を用いる場合のシリコンの結晶方位についても特に制限はなく、(111)面、(100)面等、通常入手できるものはいずれも使用することができる。

【0020】また、ドレイン6の開口面に形成する金属層は、上記実施形態のようなAu薄膜に限定されない。ただし、Auは、シリコンと共に晶を形成可能でしかも共

晶点が比較的低い金属であるため、Au薄膜を形成することが好ましい。また、この金属層形成温度は、金属とシリコンの共晶液滴を生じさせるために十分に高い温度とする必要があるが、通常400°C~1000°C、好ましくは500°C~900°Cである。金属層形成温度を高くする方法としては、金属層成長の際に加熱する方法、低温で成長させた後に熱処理を行う方法が挙げられる。また、金属層の形成方法にも特に制限はないが、後でリフトオフ工程を行う場合には、蒸着法やスパッタリング法等を採用することが好ましい。

【0021】また、上記実施形態では、ドレイン6の開口部のみに金属層を形成する方法としてリフトオフ法を採用しているが、これに代えて、選択性を有する無電解メッキ法等を採用してもよい。また、シリコンの成長方法も特に制限はないが、選択成長が容易な、CVD（化学的気相成長）法、GSMBE（気体原料分子線エピタキシー）法、UHV-CVD（超高真空CVD）法等を採用することが好ましい。シリコンの成長温度は金属とシリコンの共晶点よりも高くする必要があるが、あまり高いと既に形成されている信号処理回路に悪影響を及ぼす。そのため、シリコンの成長温度は通常400°C~1000°Cとし、好ましくは500°C~900°Cとする。また、シリコンのエピタキシャル成長の際に、導電性を制御するために、P、As、B等のドーパント元素を添加してもよい。

#### 【0022】

【実施例】以下に、本発明の具体的な実施例を示す。p型Si(111)基板上に、通常のNMOSプロセスにより、ポリシリコンゲートで層間配線にWを使ったNMOSFETから成るスイッチング回路を作製した。その後、回路上に、SOGを用いてSiO<sub>2</sub>からなる保護層を形成した。次に、通常のリソグラフィ技術により、各NMOSFETのドレイン部に、基板のシリコンが露出した4μm角の開口部を作製した。

【0023】次に、レジスト及び開口部の上に、蒸着法により、室温で、厚さ50nmのAu層を形成した。次に、リフトオフプロセスにより、開口部以外のAu層を除去後、ジシランを原料に用いたGSMBE法により、温度700°C、圧力7×10<sup>-2</sup>Paという成長条件にて、シリコンの選択エピタキシャル成長を行った。以上のようにして、プローブアレイと信号処理回路が一体となった電位測定用センサを作製した。得られた各プローブは、直径が1μmで長さが8μmであった。また、得られたセンサのNMOSFETの特性を評価したところ、正常な動作特性を示した。

【0024】また、この実施例の方法により、2次元のプローブアレイであって、隣り合うプローブの間隔が1

0μm以下のものを得ることができた。

#### 【0025】

【発明の効果】以上説明したように、本発明のセンサは、プローブと信号処理回路が一体になっているセンサであって、プローブの形成方法が上記公報の方法よりも簡単で、プローブの直径および隣り合うプローブの間隔がより小さいものとなる。その結果、センサのプローブの配置密度を従来より高くできるため、検出点の数を増加でき、検出分解能が向上し、さらにはランダムアクセスが可能になるという効果が得られる。

【0026】また、従来の脳神経電位測定用のセンサとの比較では、これに加えて、多数のプローブからの配線をICチップの各端子にハンダ付け等によって接続する作業が不要となり、配線ミス等による誤動作の危険性が低減できる効果もある。さらに、本発明のセンサおよびプローブは、生体中のイオン濃度測定等に使用するセンサおよびそのプローブとしても好適に使用できる。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態に相当するセンサを示す斜視図である。

【図2】図1のセンサのプローブ側の部分を示す平面図である。

【図3】図1のセンサの作製手順を示す工程図であって、図2の部分断面図に相当する。

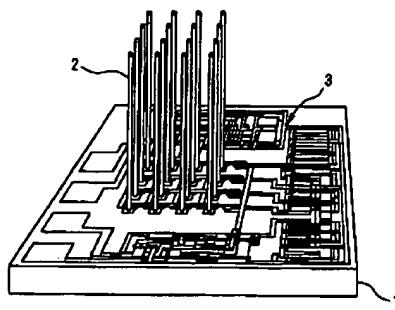
【図4】本発明の別の実施形態に相当するセンサのプローブ側の部分を示す断面図であって、プローブとなる突起を結晶成長させる下地がn-p-nバイポーラトランジスタのコレクタである場合を示す。

【図5】本発明の別の実施形態に相当するセンサのプローブ側の部分を示す断面図であって、プローブとなる突起を結晶成長させる下地がダイオードのp+層である場合を示す。

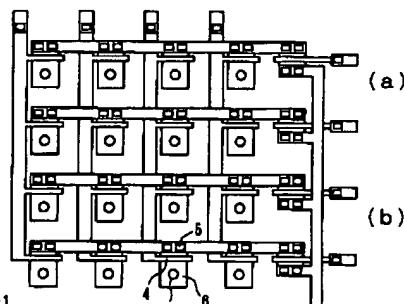
#### 【符号の説明】

- 1 p型シリコン基板（半導体基板）
- 2 プローブ
- 3 信号処理回路
- 4 ゲート
- 5 ソース
- 6 ドレイン
- 7 SiO<sub>2</sub>層
- 9 保護層
- 10 レジスト膜
- 11 プローブを成長させるための開口部
- 12 Au薄膜
- 12a Au薄膜
- 20 突起

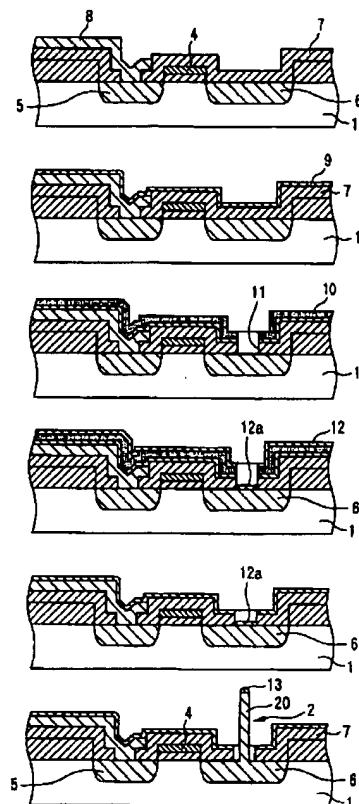
【図1】



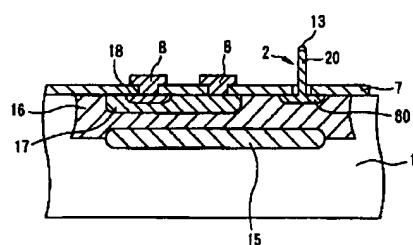
【図2】



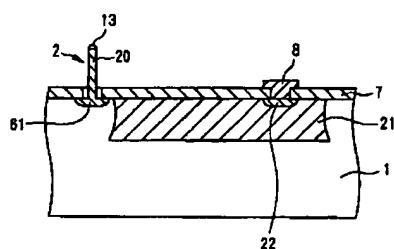
【図3】



【図4】



【図5】



フロントページの続き

(51) Int.Cl. 7

G 01 N 27/30

G 01 R 1/073

H 01 L 21/66

識別記号

F I

A 6 1 B 5/04

テ-マコ-ト' (参考)

3 2 0 A

!(6) 000-333921 (P2000-33T|8

Fターム(参考) 2G011 AA02 AA16 AA21 AC11 AE03  
AF07  
4C027 AA04 EE01 FF01 KK01, KK07  
4M106 AA02 AB01 AB06 BA01 CA01  
DD03 DD11 DD30